

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-83924

(P2001-83924A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データコード <sup>*</sup> (参考)
G 0 9 G 3/20	6 2 4	C 0 9 G 3/20	6 2 4 B 5 C 0 8 0
	6 1 1		6 1 1 H
	6 2 1		6 2 1 J
3/30		3/30	K
3/32		3/32	Λ
審査請求 未請求 請求項の数 7 O L (全 11 頁)			

(21) 出願番号 特願平11-254386

(22) 出願日 平成11年9月8日 (1999.9.8)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山野 敦浩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外 2 名)

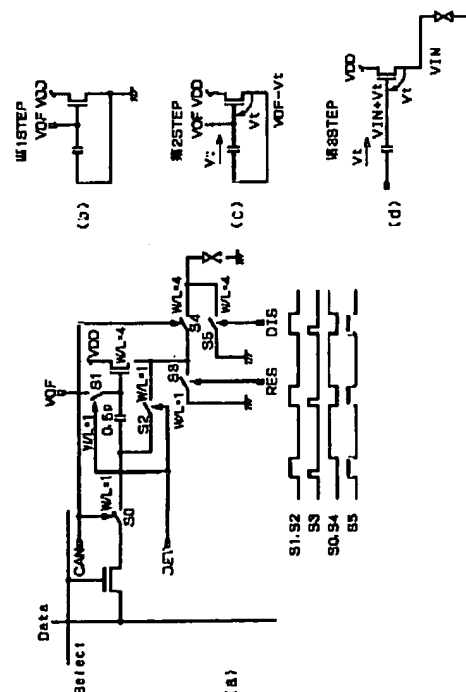
最終頁に続く

(54) 【発明の名称】 電流制御型発光素子の駆動回路および駆動方法

(57) 【要約】

【課題】 アクティブマトリックス型のEL発光装置においては、階調表示を実現するために、1画素内に複数のトランジスタを設ける必要があり、トランジスタの不良確率の増加による歩留まりの低下が生じる。

【解決手段】 発光素子の輝度を制御するための電圧がデータ線より供給されており、走査線により与えられる走査信号によりデータ線の電圧をスイッチングする第一の薄膜トランジスタと、発光素子にその出力端子が接続されており、スイッチング用の薄膜トランジスタの出力端子とその入力端子が接続されているバッファ回路と、バッファ回路の入力端子電圧とバッファ回路の出力端子から出力される電圧との差であるオフセット電圧が補償される回路がバッファ回路内部に内蔵されているアクティブマトリックス型の電流制御型発光素子。



## 【特許請求の範囲】

【請求項1】素子に流れる電流に応じて輝度が変化する発光素子からなる画素を選択するための走査線と、前記画素を駆動するための電圧を供給するデータ線とが基板上にマトリクス状に配設され、前記走査線と前記データ線との交差部に、発光素子の輝度を制御するための電圧がデータ線より供給されており、前記走査線により与えられる走査信号により前記データ線の電圧をスイッチングする第一の薄膜トランジスタと、前記発光素子にその出力端子が接続されており、前記スイッチング用の薄膜トランジスタの出力端子とその入力端子が接続されているバッファ回路と該バッファ回路の入力端子電圧と該バッファ回路の出力端子から出力される電圧の差であるオフセット電圧が補償される回路がバッファ回路内部に内蔵されているアクティブマトリクス型の電流制御型発光素子の駆動回路。

【請求項2】バッファ回路が発光素子の入力端子とソースフォロワ接続されている薄膜トランジスタからなり、ソースフォロワ接続されている電流制御用薄膜トランジスタのしきい値電圧のばらつきをキャンセルするための補償コンデンサ及び該補償コンデンサにしきい値電圧を記憶させるためのスイッチング回路が前記バッファ回路に組み込まれている請求項1記載のアクティブマトリクス型の電流制御型発光素子の駆動回路。

【請求項3】バッファ回路が発光素子の入力端子とソースフォロワ接続されているn-チャンネル型の薄膜トランジスタ及びから構成されており、スイッチング回路により補償コンデンサにしきい値電圧が書き込まれる前に負荷に予め蓄えられている電荷を放電することを特徴とするアクティブマトリクス型の電流制御型発光素子の駆動方法。

【請求項4】バッファ回路が発光素子の入力端子とソースフォロワ接続されているp-チャンネル型の薄膜トランジスタ及びから構成されており、スイッチング回路により補償コンデンサにしきい値電圧が書き込まれる前に負荷を予め電源電圧まで充電するプリチャージすることを特徴とするアクティブマトリクス型の電流制御型発光素子の駆動方法。

【請求項5】ソースフォロワ接続されるトランジスタがnチャンネルトランジスタとpチャンネルトランジスタがブッシュアップ接続されていることを特徴とする請求項2記載のアクティブマトリクス型の電流制御型発光素子の駆動回路。

【請求項6】バッファ回路が差動増幅器により構成され、該差動増幅器の出力オフセットをキャンセルするための補償コンデンサ及び該補償コンデンサにしきい値電圧を記憶させるためのスイッチング回路が組み込まれている請求項1記載のアクティブマトリクス型の電流制御型発光素子の駆動回路。

【請求項7】素子に流れる電流に応じて輝度が変化する

発光素子からなる画素を選択するための走査線と、前記画素を駆動するための電圧を供給するデータ線とが基板上にマトリクス状に配設され、前記走査線と前記データ線との交差部に、発光素子の輝度を制御するための電圧がデータ線より供給されており、前記走査線により与えられる走査信号により前記データ線の電圧をスイッチングする薄膜トランジスタと、前記発光素子にその出力端子が接続されており、前記スイッチング用の薄膜トランジスタの出力端子とその入力端子が接続されているバッファ回路と該バッファ回路の入力端子電圧と該バッファ回路の出力端子から出力される電圧の差であるオフセット電圧が補償される補償回路とを有する電流制御型発光素子であって、前記補償回路が前記バッファ回路に内蔵されていることを特徴とする電流制御型発光素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ディスプレイに用いられる発光素子の駆動装置に関し、特に有機及び無機EL（エレクトロルミネンス）、又はLED（発光ダイオード）等のような発光輝度が素子に流れる電流により制御される電流制御型発光素子の駆動回路の構成ならびに駆動方法に関する。

## 【0002】

【従来の技術】有機及び無機EL、又はLED等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端末等に広く利用されている。

【0003】特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要としない、視野角が広い等の特徴を有し、注目を集めている。

【0004】中でも、トランジスタ等とこれらの発光素子とを組み合わせるスタティック駆動を行うアクティブマトリクス型と呼ばれるディスプレイは、ダイナミック駆動を行う単純マトリクス駆動のディスプレイと比較して、高輝度、高コントラスト、高精細等の優位性を持っており近年注目されている。

【0005】この種のディスプレイの従来例として、図7に、Society for Information Display発行の1997年秋期大会予稿集『Asiadisplay '97』の第216～219頁（セイコーエプソン）の発表から引用した、発光素子にELを使用したアクティブマトリクス型ディスプレイの発光素子駆動回路を示す。

【0006】図7を参照して、この駆動回路での発光原理を説明する。スイッチング用トランジスタ71のゲートに接続された走査線72が選択されて活性化されると、トランジスタ71がオン状態となり、トランジスタ71に接続されたデータ線73から信号がコンデンサ74に書き込まれる。コンデンサ74は電流制御用トランジスタ75のゲート・ソース間電圧を決定する。

【0007】そして、走査線72が非選択となりトランジスタ71がオフ状態になると、コンデンサ74の両端間の電圧は次の周期に走査線72が選択されるまで保持される。

【0008】コンデンサ74の両端間の電圧に応じて、電源電極76→トランジスタ75のドレインソース→EL素子77→共通電極78という経路に沿って電流が流れ、この電流によりEL素子77が発光する。

【0009】一般的にコンピュータの端末、パソコンのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する階調表示が出来ることが望ましい。

【0010】図7の駆動回路において階調表示を行うには、トランジスタ75のゲート・ソース電極間に閾値付近の電圧を印加する必要がある。

【0011】しかし、トランジスタのゲート電圧・ソース電流特性に、図8に示すようなばらつきがあると、例えば図7のトランジスタ75のゲート電極にゲート電圧VAを印加した場合、トランジスタ75に流れる電流はIA(実線で示す曲線とVAとの交点)とIB(破線で示す曲線とVAとの交点)のように異なるため、EL素子77に流れる電流も変わり、本来ならば同じ輝度であるはずの領域の輝度が異なり、このため、例えば輝度むら等の画質劣化が生じることになる。

【0012】ポリシリコンを材料とした薄膜トランジスタにおいては、結晶シリコンによるトランジスタに比較して、一般的にこのしきい値のばらつきが大きく、その値は±0.1V程度と推察される。

【0013】しきい値が±0.1Vばらついたとすれば、トランジスタ75を流れる電流は、しきい値が2V程度ならばリニア領域で動作させた場合は5%程度、飽和領域で動作させた場合は10%程度電流値が変動する。図9はEL素子の電流-輝度特性である。電流-輝度特性は階調表示させる領域Aにおいてはリニアな特性であるので、前期電流値のばらつきは、そのまま輝度特性のばらつきとなって現れる。

【0014】この問題を解決するため、特開平2-148687号公報には、素子の閾値付近でのばらつきがあっても、この影響を受けずに階調表示を行うELディスプレイ装置が提案されている。

【0015】図10を参照して、特開平2-148687号公報に提案される回路を説明する。図10は、図7の点線内の電流制御回路79に対応する回路部を示しており、16階調表示を行う場合についての例を示すものである。階調制御を行うためにデータ線の本数は4本に増加している。

【0016】図10において、94~97は発光素子駆動用のトランジスタ、98はカレントミラー回路、99は発光素子、100はトランジスタの各ソース端子及び発光素子が接続された共通電極の抵抗成分である。トランジスタ94~97のドレイン電極は共通接続されてカ

レントミラー回路98の入力端に接続されている。

【0017】図10において、4ビット入力より階調に対応した組み合わせの信号電圧がトランジスタ94~97のゲート電圧として印加される。そして、トランジスタ94~97のうちオン状態のトランジスタに流れる電流の合計値と同一の電流値がカレントミラー回路98の出力端から発光素子99に供給され、その電流値に応じて発光素子99が発光する。

【0018】例えばトランジスタ94~97がオン時の電流値の対数をとった値をそれぞれ倍になるようにすれば(即ち、I2はI1の2倍、I3はI2の2倍(=I1の22倍)、I4はI3の2倍(=I1の23倍)とすれば)、トランジスタ94~97のオンする組み合わせにより16階調の表示を行うことができる。なお、I1~I4はトランジスタ94~97がオン状態時のソース電流をそれぞれ表している。

【0019】このときトランジスタを図8のゲート電圧VBに対応する電流が飽和した領域の電圧で使用するようになれば、トランジスタの閾値付近での特性がばらついていても、その影響を受けることなく、輝度のばらつきも生じない。しかしながら階調数が増えた場合カレントミラー回路が増加すると共に、ビットにおおじて信号線の数が増加し駆動回路が複雑となる。

【0020】

【発明が解決しようとする課題】上述のように、アクティブマトリックス型のEL発光装置においては、これまでは階調表示を実現させるために、カレントミラー回路あるいは低電流回路及び電流制御用トランジスタなどを1画素内に設ける必要がある。生産等を考慮した場合、複数個のトランジスタを画素内に設けることは、トランジスタの不良確率の増加による歩留まりの低下が予想され、高い歩留まりを確保するためには1画素内に少ないトランジスタで階調表示させる、望ましくは必要最小限のトランジスタ数で階調表示を実現させることが必要である。加えてトランジスタ数の増加に伴いEL素子の発光に関わる有効な部分の面積が減少する。このような問題を解決するためには図7の駆動回路において電流駆動用のTFETのしきい値電圧のばらつきを補正することが可能なシンプルな回路構成の提案が必要である。

【0021】

【課題を解決するための手段】本発明は前述の電流駆動素子であるELを外部からの入力信号のレベルに応じてムラなく階調制御するための駆動回路を提案するものである。具体的な回路構成は以下の通りである。

【0022】素子に流れる電流に応じて輝度が変化する発光素子からなる画素を選択するための走査線と、前記画素を駆動するための電圧を供給するデータ線とが基板上にマトリクス状に配設され、前記走査線と前記データ線との交差部に、発光素子の輝度を制御するための電圧がデータ線より供給されており、前記走査線により与え

られる走査信号により前記データ線の電圧をスイッチングする第一の薄膜トランジスタと、前記発光素子にその出力端子が接続され、前記スイッチング用の薄膜トランジスタの出力端子とその入力端子が接続されているバッファ素子と該バッファ素子の入力端子電圧と該バッファ素子の出力端子から出力される電圧の差であるオフセット電圧が補償される回路がバッファ内部に内蔵されているアクティブマトリクス型の電流制御型発光素子の駆動回路を提案するものである。

【0023】一般的には前記バッファ素子が前記発光素子とソースフォロワ接続されており、ソースフォロワの用いられる電流制御用薄膜トランジスタのしきい値電圧のばらつきをキャンセルするための補償コンデンサ及び該補償コンデンサにしきい値電圧を記憶させるためのスイッチング回路が組み込まれている構成がシンプルな構成であると思われる。

【0024】この構成では3種類の基本的構成が提案できる。

【0025】(1-1) 前記バッファ回路が前記発光素子の入力端子とソースフォロワ接続されているn-チャンネル型の薄膜トランジスタ及びから構成される場合、(1-2) 前記バッファ回路が前記発光素子の入力端子とソースフォロワ接続されているp-チャンネル型の薄膜トランジスタ及びから構成される場合、(1-3) 前記ソースフォロワがnチャンネルトランジスタとpチャンネルトランジスタがプッシュプル接続された構成である場合、である。バッファ回路としてソースフォロワ構成以外の提案として、「前記バッファ素子が差動増幅器により構成され、該差動増幅器の出力オフセットをキャンセルするための補償コンデンサ及び該補償コンデンサにしきい値電圧を記憶させるためのスイッチング回路が組み込まれている回路」があげられる。

【0026】以上の回路構成を提案するものである。

【0027】上記それぞれの構成における各ノードに印加するタイミングチャートとこれに伴う各トランジスタの動作を説明する。

【0028】まずソースフォロワの動作を説明する。ここでは電流制御用のトランジスタがnチャンネル型の場合を説明する。

【0029】(1) 入力電圧 $V_{in}$ がゲート電圧に印可されると、トランジスタがONし、最初は大きなドレイン電流が流れて負荷を充電するが、負荷の電圧が上昇するとトランジスタのソース電圧が上昇し、ゲート-ソース間電圧が徐々に小さくなるのでドレイン電流が小さくなり、ゲート-ソース間電圧がしきい値電圧 $V_t$ になるまで負荷が充電されるとトランジスタはOFFし充電はストップする。

【0030】(2) ソースフォロワのゲートに入力電圧 $V_{in}$ を印可した場合、負荷は $V_{in}-V_t$ まで充電されることになりしきい値電圧 $V_t$ がばらつくと出力電圧

はそのまま出力偏差となって現れる。

【0031】現状のポリシリコンではしきい値電圧のばらつきは $\pm 0.5V$ 程度の範囲であるためにこのままではしきい値電圧のばらつきが輝度のばらつきとなって現れる。次にオフセットキャンセラー付きのソースフォロワの動作を図1を用いて説明する。動作は大きく3ステップに分けられる。

【0032】<第一ステップ>スイッチ $S_1$ 、 $S_2$ 、 $S_3$ がオンしゲートにはしきい値検出用電圧 $V_{of}$ がゲートに印可され、ソースはグラウンドに設置されるのでソースフォロワのトランジスタはオンする。同時にスイッチ $S_5$ をオンすることによって、負荷の電荷を放電させる。負荷をリセットする理由はNchソースフォロワの場合負荷を充電することは出来るが、負荷に蓄えられている電荷を放電できないためである。

【0033】<第二ステップ>スイッチ $S_3$ をオフする事によりトランジスタを流れる電流をゼロにする。これによりトランジスタのソース電圧はゲート-ソース間電圧がしきい値電圧 $V_t$ に等しくなるまで上昇する。その結果しきい値検出用容量にはしきい値に等しい値が保持される。

【0034】<第三ステップ>スイッチ $S_1$ 、 $S_2$ がオフされスイッチ $S_0$ がオンされることによりトランジスタのゲートにはしきい値検出用容量を通して入力電圧 $V_{in}$  + しきい値電圧 $V_t$ が印可される。従ってトランジスタのソース電圧は、ゲート電圧からしきい値電圧を引いた値である $V_{in}$ となりスイッチ $S_5$ をオフしてスイッチ $S_4$ をオンする事により負荷は $V_{in}$ の電圧まで充電されることになる。

【0035】以上の動作により、オフセットキャンセラーを付けない場合は、負荷の充電電圧は $V_{in}-V_t$ であるので、しきい値電圧 $V_t$ がばらつくと出力偏差となって現れるが、オフセットキャンセラーを付けると、負荷の充電電圧は入力電圧 $V_{in}$ と等しくなり、基本的にしきい値電圧 $V_t$ のばらつきの影響を受けない。

【0036】図2はオフセットキャンセラー付きソースフォロワのシミュレーション結果である。シミュレーション条件は

- (1) しきい値電圧ばらつきは $\pm 0.5V$ を想定
  - (2) しきい値検出用容量は $0.5pF$ 、しきい値検出用電圧 $V_{of}=7.5V$
  - (3) 入力電圧 $=8.0V$
  - (4) 1水平時間 $=30\mu sec$
- である。

【0037】第一ステップでは、ソースフォロワのトランジスタがオンされるが、スイッチ $S_3$ のオン抵抗のため出力電圧(ソース電圧)は完全にゼロにならない。第二ステップでは、しきい値ばらつきの影響により、出力電圧がばらついていることが解る。しきい値検出用電圧 $V_{of}$ と出力電圧の差がしきい値電圧 $V_t$ に等しく、こ

の値がしきい値検出容量に記憶される。第三ステップでは入力電圧 $V_{in}$ にしきい値電圧 $V_t$ を加えた値がゲートに印可されるので、出力電圧はしきい値電圧に関係なく、ほぼ入力電圧 $V_{in}$ に等しくなっている。オフセットキャンセル能力は図3の下図に示す拡大図より、しきい値ばらつき0.5Vに対して、出力偏差は±10mVまで抑制することが可能である。

【0038】以上は電流制御用トランジスタがnチャンネルの場合であるが、トランジスタがpチャンネルタイプの場合も想定される。

【0039】本回路構成を図4に示す。pチャンネルトランジスタはnチャンネルトランジスタに比較して電流駆動能力は劣るが、トランジスタ信頼性の面ではnチャンネルトランジスタよりも安定である。基本的にはpチャンネルタイプの場合も同様なオフセットキャンセル動作は可能であるが、pチャンネルソースフォロワは負荷に対して放電しかできないので負荷を予め電源電圧まで充電するプリチャージ回路が必要である。

【0040】そのほかにn-チャンネルとp-チャンネルをプッシュプル接続した回路が提案できる。プッシュプルは負荷に対して充電、放電共に出来るのでチャージング回路は必要ない。プッシュプル回路を用いた場合の構成を図5に示す。

【0041】次にバッファ構成として、差動増幅回路を用いることは可能である。差動増幅回路はソースフォロワ回路に比較して負帰還がかかるので、しきい値電圧ばらつきに起因するオフセットを含めたすべてのオフセットの原因如何に関わらず $V_{in}$ と $V_{out}$ の差を検出する事が出来る。

【0042】オフセットキャンセラー付き差動増幅回路の動作を図6を使って説明する。

【0043】<第一ステップ>2個のスイッチAがオンし差動増幅器の反転入力端子と非反転入力端子間に検出容量が接続されたバッファ回路となる。差動増幅器の非反転入力端子に入力電圧 $V_{in}$ が印可され、出力電圧が $V_{out} = V_{in} + \Delta V$ となっているとする。バッファ回路を構成しているので、反転入力端子の電圧も $V_{in} + \Delta V$ になる。従って検出容量には非反転入力端子の入力電圧 $V_{in}$ と、反転入力端子の出力電圧 $V_{in} + \Delta V$ の差である $\Delta V$ が検出され保持される。

【0044】<第二ステップ>スイッチAがOFFされスイッチBがONされるので、出力電圧は検出容量を通して反転入力端子にフィードバックされる。非反転入力端子には第一ステップ同様入力電圧 $V_{in}$ が印可されているので差動増幅器の内部回路は同じ状態を保つために反転入力端子の電圧は $V_{in} + \Delta V$ にならなければならない。出力端子と反転入力端子間には、 $\Delta V$ の電位差を持った検出容量が接続されているので、反転入力端子の電圧が $V_{in} + \Delta V$ になるためには、出力電圧は $V_{out} = V_{in}$ にならなければならない。

【0045】以上の動作により差動増幅回路にオフセットキャンセラーを付けることで、様々な要因で発生する出力偏差 $\Delta V$ を抑制する事が出来る。出力電圧は常に入力電圧 $V_{in}$ に等しい。

【0046】図11はオフセットキャンセラー付きオペアンプのシミュレーション結果である。シミュレーション条件としては

(1) 差動増幅回路のバッファ部はプッシュプル型

(2) 出力偏差検出容量=1.0pF

(3) 入力電圧=7.0V

(4) 負荷抵抗=1.0k $\Omega$ 、負荷容量=20pF

(5) 1水平時間=30 $\mu$ sec

を仮定し、しきい値ばらつきが±0.5Vの結果を図12に示す。

【0047】第一ステップでは、しきい値ばらつきにより、入力電圧に対して出力電圧が大きくばらついているが、この差を出力偏差検出容量で検出し補正することにより、第二ステップではしきい値ばらつきに影響されことなく、出力電圧は入力電圧にほぼ等しくなっている。オフセットキャンセル能力は図12の下図の拡大図より、しきい値ばらつき±0.5Vに対して、出力偏差±5mVまで抑制できることが出来る。

【0048】

【発明の実施の形態】図面を参照して、本発明の実施例を以下に説明する。

【0049】(実施例1) 図1は本発明の第1の実施例の回路図であり、発光素子として電荷注入型の有機薄膜EL素子(以下「有機薄膜EL素子」と略記する)を用いた場合のものである。

【0050】図1において、15は発光素子である有機薄膜EL素子、12は有機薄膜EL素子15に流れる電流を制御する抵抗素子、14は有機EL素子に電流を流し続けるコンデンサ、13はコンデンサ14に信号電圧を供給するスイッチングトランジスタ、16はスイッチングトランジスタ13を選択する走査信号を供給する走査線、17は走査線16がオンとされ選択されたスイッチングトランジスタ13を介してコンデンサ14に電荷を供給するデータ線、18は有機薄膜EL素子14に電流を供給する電源電極、19はデータ線17との間の電位差でトランジスタの動作点を決定する共通電極である。

【0051】上述の駆動回路のよる発光原理は先に述べた通りである。

【0052】ポリシリコンは気相成長法によりアモルファスシリコンを堆積しレーザーアニールする事で熔融再結晶化しポリシリコンとなる。前記ポリシリコン中にイオンドーピング法によりリンイオンを打ち込みトランジスタのソース及びドレイン電極部を作成する。抵抗素子12は前記トランジスタのソース及びドレイン領域となる部分と同一のプロセスで作成されている。本実施例1

では電流制御用トランジスタをnチャンネル型としている。従ってスイッチング回路として負荷を放電させることが出来ないため負荷の電荷をリセットさせる回路を設けた。

【0053】(実施例2) 実施例2における回路構成を図4に示す。本実施例は電流制御トランジスタをpチャンネルタイプとしたものである。この駆動回路の発光原理は基本的に実施例1と同様であるが、pチャンネルトランジスタは負荷に対して放電しかできないので、負荷を予め電源電圧まで充電するプリチャージ回路を負荷した。

【0054】(実施例3) 実施例3はソースフォロワの構成をnチャンネル、pチャンネルのプッシュプル構成としたものである。回路構成は図5に示す回路と同一である。プッシュプル構成は負荷に対して充電、放電共に出来るが回路規模が大きくなることと、定常電流が流れるので消費電力が比較的大きくなる。

【0055】(実施例4) 実施例4はバッファの構成を差動増幅器をもちいて構成したものである。回路構成は図6に示す回路と同一である。差動増幅器を用いた構成にした場合は、前述のソースフォロワ構成に比較して回路構成がやや複雑になるが回路自身にフィードバック作用があるためにキャンセル出来るオフセット電圧のレベルが高くなる特徴がある。

【0056】

【発明の効果】以上説明したように本発明によれば、発光素子の輝度をトランジスタのしきい値電圧のばらつきなどに起因するオフセット電圧を補償する回路が内蔵されており、比較的少ないトランジスタ数で良好な画像特性を得られるアクティブマトリクス型の電流制御型発光素子の駆動回路を実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の構成を示す回路図

【図2】 オフセットキャンセラー付きソースフォロワのシミュレーション結果を示す図

【図3】 図2の結果の拡大図

【図4】 電流制御用トランジスタがpチャンネルタイプの場合のオフセットキャンセラー付きソースフォロワの回路構成を示す図

【図5】 ソースフォロワ回路としてプッシュプル回路の構成とした場合を示す図

【図6】 オフセットキャンセラー付き差動増幅回路を示す図

【図7】 従来のアクティブマトリクス型ELディスプレイの駆動回路を示す図

【図8】 ポリシリコン薄膜トランジスタのゲート電圧-ソース電流特性を示す図

【図9】 EL素子の電流-電圧特性を示す図

【図10】 従来例による4ビット相当の階調表示のためのEL駆動回路を示す図

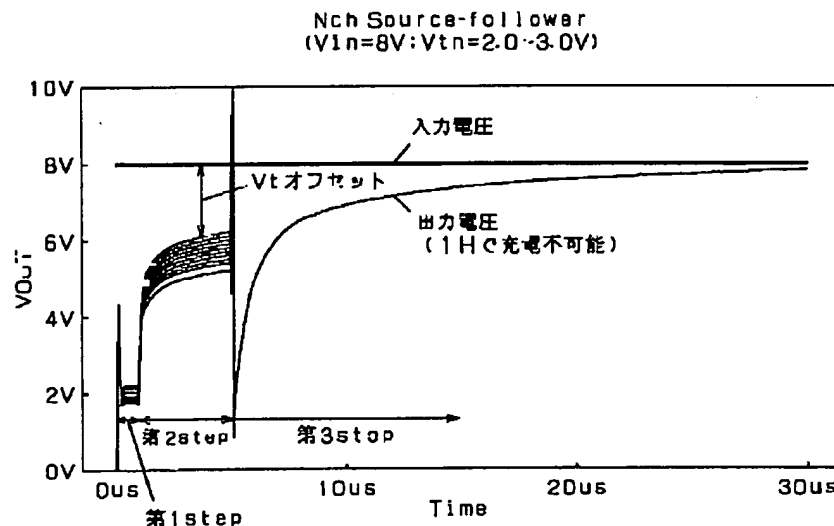
【図11】 オフセットキャンセラー付き差動増幅回路のシミュレーション結果を示す図

【図12】 図11の結果の拡大図

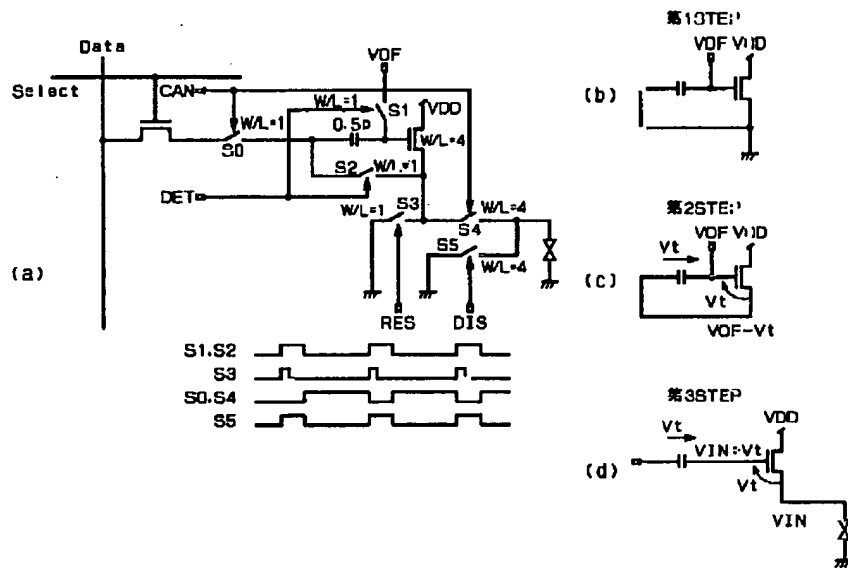
【符号の説明】

- 12 抵抗素子
- 13 スwitchングトランジスタ
- 14 コンデンサ
- 15 有機薄膜EL素子
- 16 走査線
- 17 データ線
- 18 電源電極
- 19 共通電極

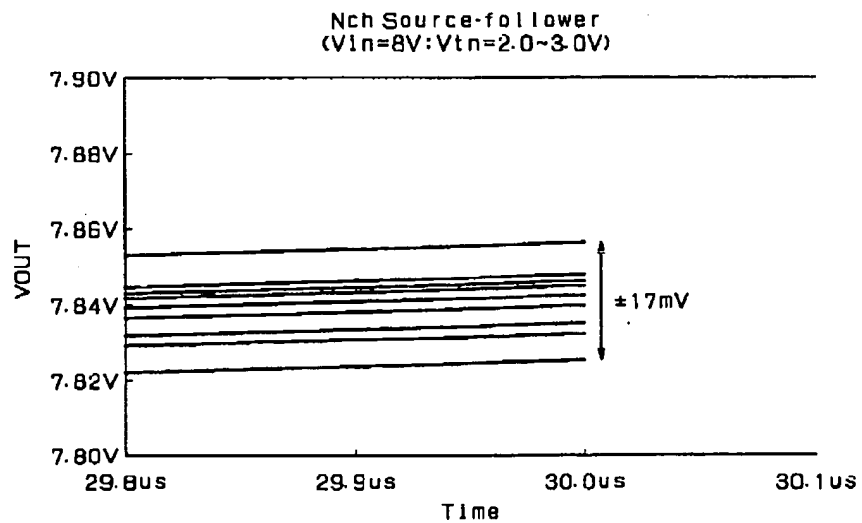
【図2】



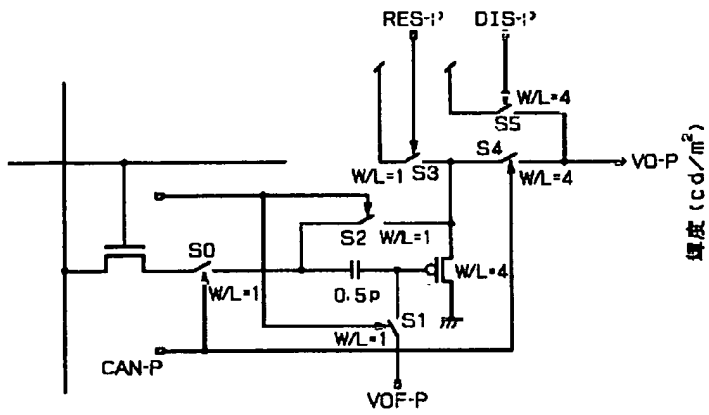
【図1】



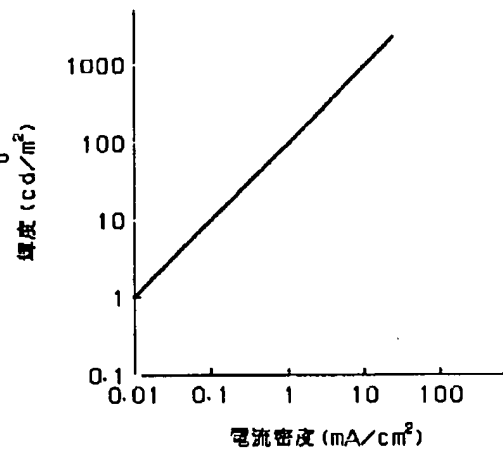
【図3】



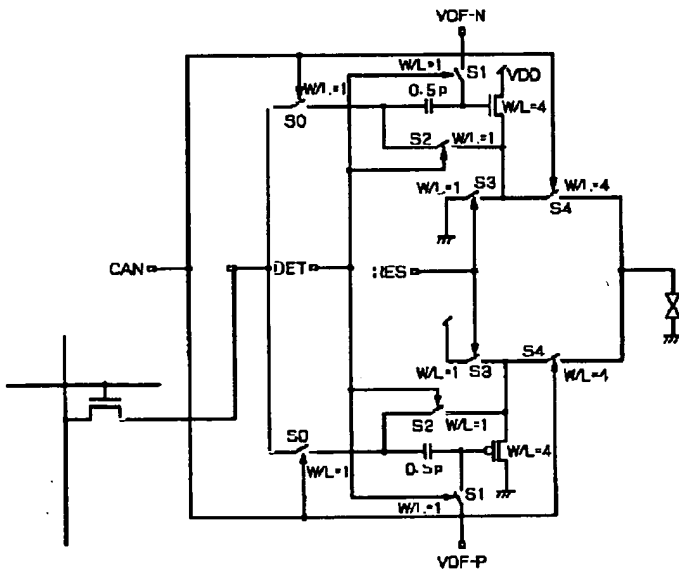
【図4】



【図9】

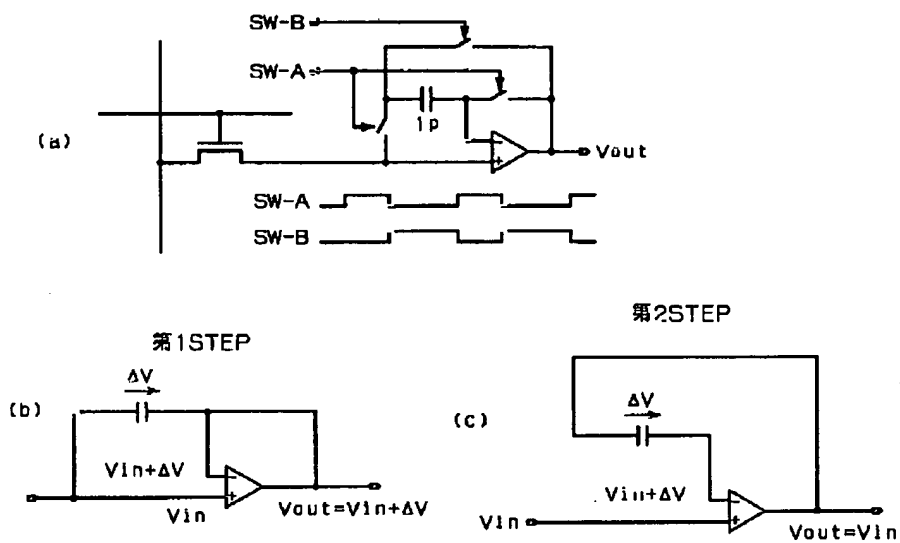


【図5】

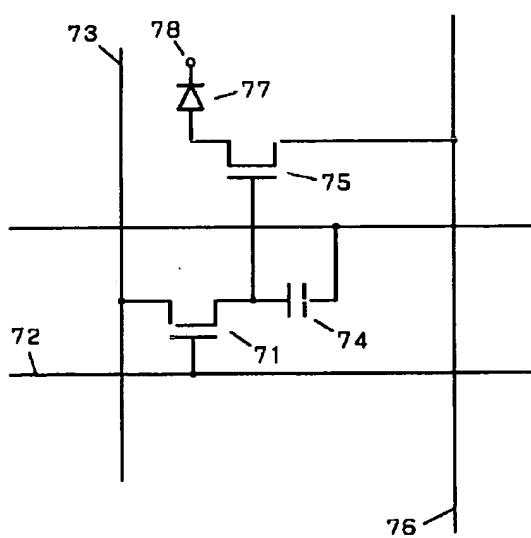




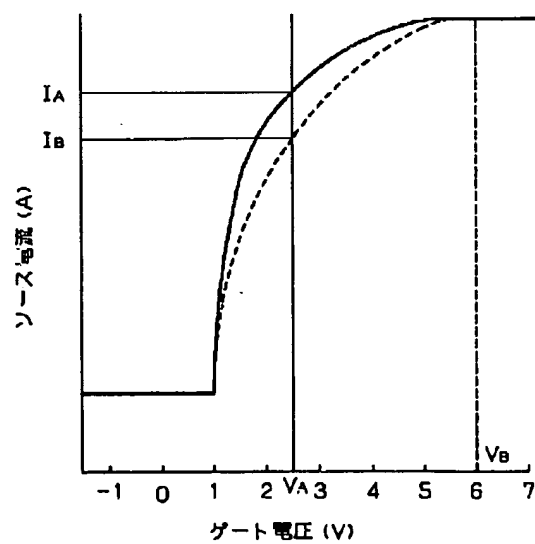
【図6】



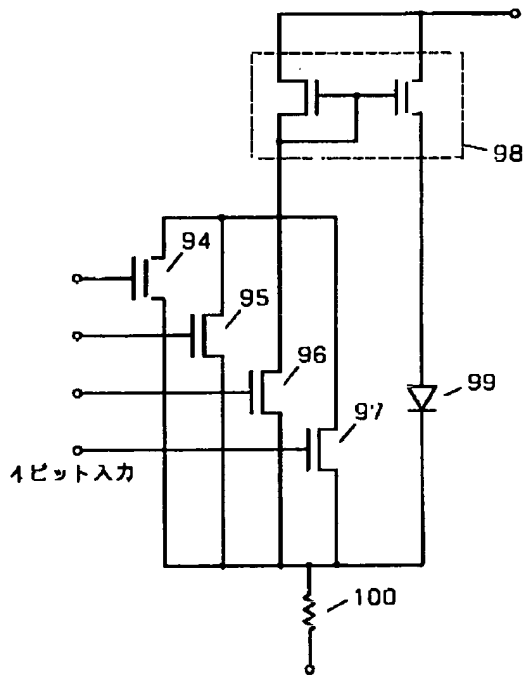
【図7】



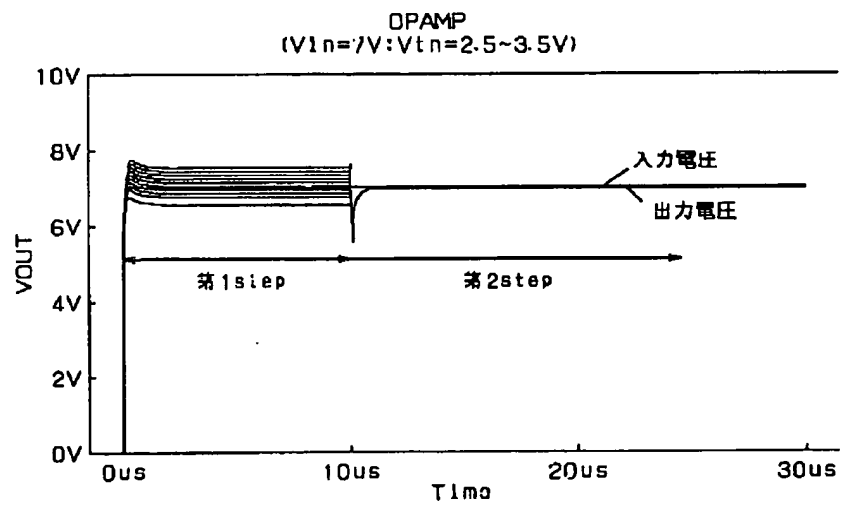
【図8】



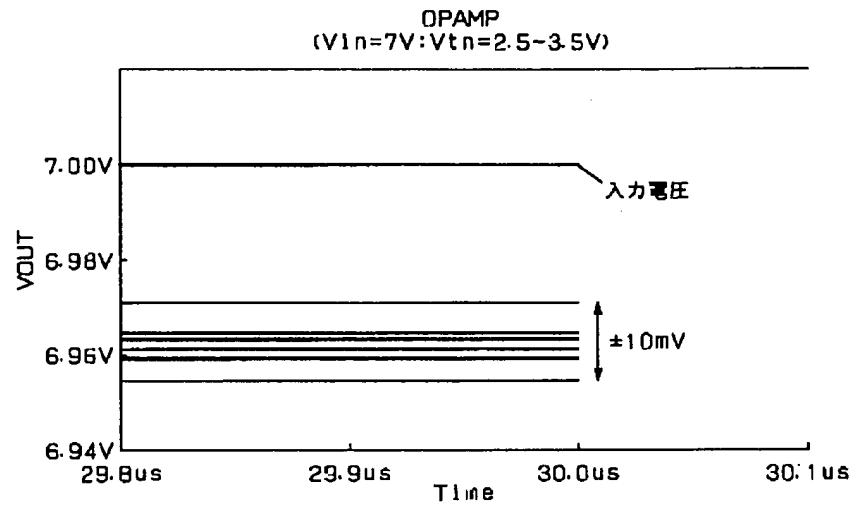
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 岡田 隆史  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 5C080 AA06 AA07 BB05 DD05 DD22  
DD25 DD28 EE19 EE29 FF11  
JJ03 JJ04 JJ05 KK43